

「低CL発振子」 コラム

待機電流 = 32kHz発振 + RTC + etc < 0.7 μA

4. 32kHz水晶発振器の低消費電力技術の紹介

32.768kHzの音叉振動子を使った一般的な低速標準回路(負荷容量が12.5pFの発振器)を例に、低消費電力化が如何にして実現できるかを簡単な発振回路を使ってわかり易くご紹介します。

図1に示すCMOSインバータを使った発振回路に電流計(デジタルマルチメータTR6848)を接続して、実際に発振器の消費電流(平均値)を測ってみます。

標準発振回路の発振開始電圧は1.2V(発振停止電圧は0.97V)でしたので、電源電圧を1.2Vから2.4Vまで変化させ、その間の発振器の消費電流を測定しました。消費電流は、図2のグラフに示す様に二次の近似曲線との間にずれがあるようで、特に2.6V以上で緩やかな曲線となっており、 $(V_{dd} - V_{th})^n$ とすると係数 $n < 2$ の様にみえます。しきい値電圧 V_{th} を考慮せずに電源電圧 V_{dd} を低くしたためかもしれませんが……。これ以上考えても何もみえてこないのので次に進みます。

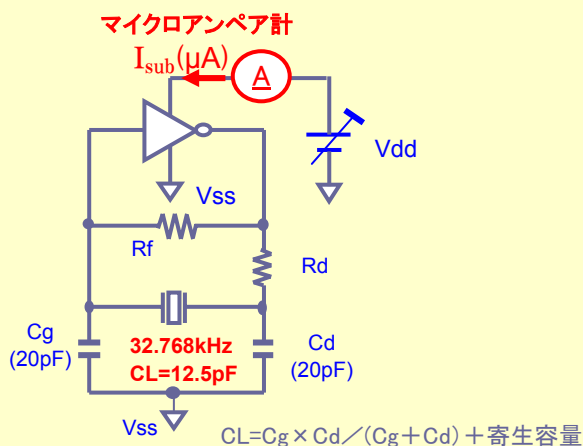
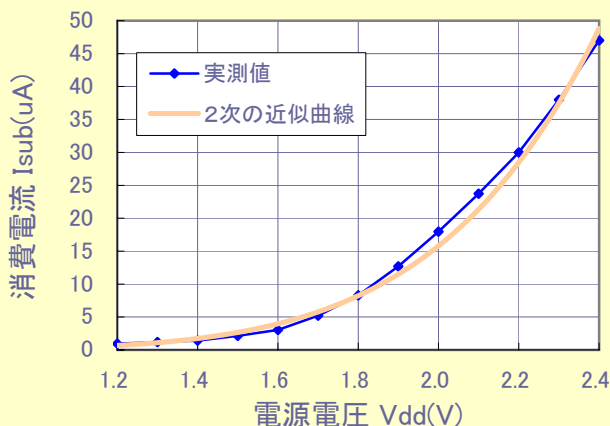


図1. CMOSインバータ標準発振回路構成

図2. 発振器(CL=12.5pF)の消費電流特性



負荷容量が12.5pFの標準発振回路は、電源電圧が1.5Vから1.9Vの範囲で適正な発振性能(起動性と安定性)が得られる様です。故に適正な電源電圧範囲において、負荷容量12.5pFの発振器にて消費する電流は $I_{sub} = 2.14 \mu A$ から $12.7 \mu A$ 程度は流す必要があると云えそうです。参考までに、3種類の電源電圧仕様(1.5V, 1.6V, 1.8V)における負荷容量12.5pFの発振器の特性例を表1にまとめました。

表1. CL=12.5pFの発振器仕様・特性例

電源電圧; V _{dd} (V)	1.5	1.6	1.8	備考
消費電流; I _{sub} (μA)	2.1	3.0	8.3	TR6848マルチメータの計測値(平均値)
消費電力; P _{sub} (μW)	3.2	4.8	14.9	P _{sub} = I _{sub} × V _{dd} 平均電力
負性抵抗; RL(kΩ)	-360	-610	-1030	$RL = -1 / (4\pi f \cdot CL)^2 \times I_{ds} / (V_g - V_{th})$
発振余裕度; M(倍)	7	12	21	M = RLの大きさ ÷ R1 _{max} (=50kΩ) ≥ 5倍
起動時間; T _s (秒)	0.60	0.45	0.50	振幅の90%に達する時間(<3秒以内)
開始電圧; V _{start} (V)	1.2	1.2	1.2	電源電圧マージンの一指標

以上の計測の結果から、低消費電力化技術へのアプローチで最も効果的手法は、動作電圧の低減であると云えます。CMOSデバイスは、信号のオン・オフ期間(遷移時間)以外では直流電流は流れないという特長があり、低消費電力に有利であるといわれています。直流電流がほとんど流れないとすると、適正な回路での消費電流は、負荷容量の充放電成分で決まってしまうことになります。

動作時の充放電による電力消費は、動作周波数 $F \times$ 負荷容量 $CL \times$ 信号電圧 $Vd \times$ 電源電圧 Vdd に比例すると考えられ、CMOSの消費電力はほぼ電源電圧の2乗に大きく依存することになります。従って、CMOS発振器の超低消費電力化を実現する有効な手法は、動作周波数が同じであるならば、『電源電圧の低減と負荷容量の低減』を同時に行うことであるといえます。

CMOS発振器の消費電力の低減例として、電源電圧を1.8Vから1.2Vに低減した後、負荷容量を12.5pFから3.7pFに低減したら、如何ほどの効果が期待できるのかを実験で確かめてみます。

CMOS発振器の消費電力の実験結果は、表2に示すとおりです。

表2. CMOS発振器の消費電力の低減例

電源電圧; V _{dd} (V)	1.8	1.2	1.2
負荷容量; CL (pF)	12.5	12.5	3.7
消費電流; I _{sub} (μA)	8.29	0.97	0.28
消費電力; P _{sub} (μW)	14.92	1.16	0.33
負性抵抗; RL (kΩ)	-1030	-46	-560
発振余裕度; M (倍)	21	0.9	11
起動時間; T _s (秒)	0.6	56	0.6

V_{dd}=1.8V, CL=12.5pFを基準にした場合、CMOS発振器の低消費電力化策を施すと、何と45分の1と大幅に消費電力は低減できることを実験からも確かめることができました。

今回の実験に使用したCMOSインバータでは、1.2V以下を確かめることはできませんでしたが、超低消費電力LSIの強い要請は益々高まっており、今後のCMOSデバイス低電圧技術の発展に期待がもてます。弊社では、32kHz発振器の低消費電力化を進めていく中で、待機電力の大幅削減に貢献できるものと考えております。

CMOS発振器の低消費電力化の手法は、

(1) 電源電圧V_{dd}の低減(例えば1.8V → 1.2V)

(2) 負荷容量CLの低減(例えば12.5pF → 3.7pF)

の2つの低減が有効であることから、更なる低電圧化を図ることで超低消費電力マイコンによる待機電力の大幅な削減は、実現可能であると考えております。低消費電力技術の確からしさは十分ご理解頂けるものと確信し、電池駆動の電子機器の発展に繋がる『低CL発振器と超低消費電力マイコン融合』のご検証を頂きたく、宜しく願い申し上げます。

これらの活動を弊社では、半導体メーカー様とのコラボレーション(単独実現は困難)と呼び、確かな未来を創出して参ります。

図3. 負荷容量12.5pFの発振器(1.8V)

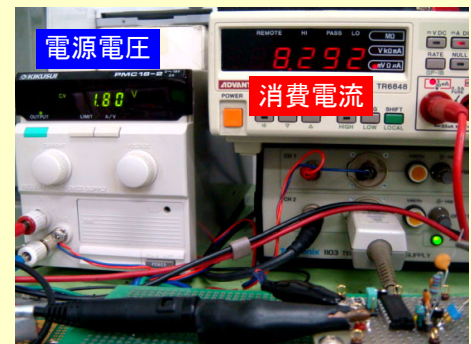


図4. 負荷容量12.5pFの発振器(1.2V)

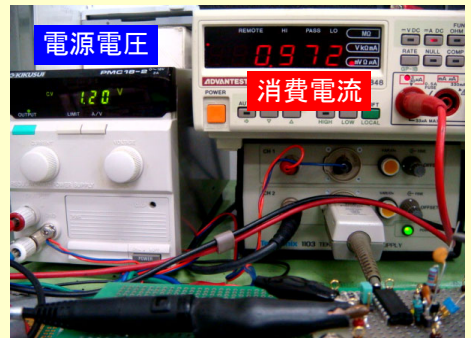
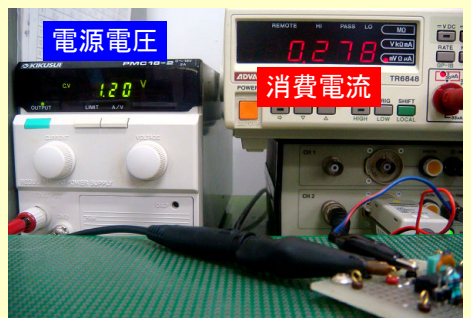


図5. 負荷容量3.7pFの発振器(1.2V)



次回掲載予定



匠 We value the "takumi" spirit.